

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-093147

(43)Date of publication of application : 29.03.2002

(51)Int.Cl.

G11C 11/14  
G11C 11/15  
H01L 27/10  
H01L 27/105  
H01L 43/08

(21)Application number : 2001-202594

(71)Applicant : INFINEON TECHNOLOGIES AG

(22)Date of filing : 03.07.2001

(72)Inventor : POECHMUELLER PETER

(30)Priority

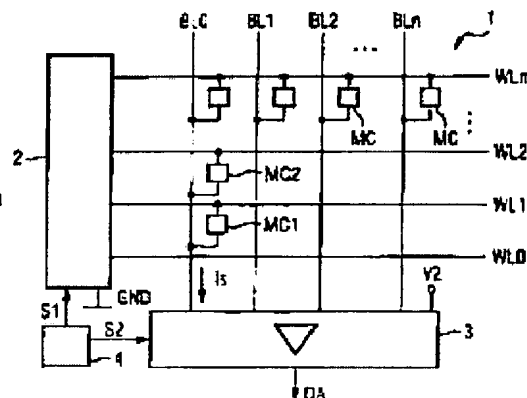
Priority number : 2000 10032275    Priority date : 03.07.2000    Priority country : DE

## (54) INTEGRATED MEMORY AND OPERATION METHOD THEREFOR

(57)Abstract:

**PROBLEM TO BE SOLVED:** To make it more reliable to read from a memory cell of an integrated memory provided with a memory cell MC having a magneto resistance memory effect inserted between column lines BL0-BL<sub>n</sub> and row lines WL0-WL<sub>m</sub>.

**SOLUTION:** The row lines are connected with a selection line 2, and each row line is connected with a connection terminal GND to a selection signal so as to read a data signal DA of the memory cell connected with the row lines, and the selection circuit is configured so that row lines not connected with the memory cells to read data signals are electrically separated in the selection circuit and is controlled with a control means 4.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-93147

(P2002-93147A)

(43) 公開日 平成14年3月29日 (2002.3.29)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テーマコード*(参考)
G 1 1 C 11/14		G 1 1 C 11/14	Z 5 F 0 8 3
11/15		11/15	
H 0 1 L 27/10	4 8 1	H 0 1 L 27/10	4 8 1
27/105		43/08	Z
43/08		27/10	4 4 7
審査請求 有 請求項の数11 O L (全 5 頁)			

(21) 出願番号 特願2001-202594(P2001-202594)

(22) 出願日 平成13年7月3日(2001.7.3)

(31) 優先権主張番号 1 0 0 3 2 2 7 5 . 1

(32) 優先日 平成12年7月3日(2000.7.3)

(33) 優先権主張国 ドイツ (DE)

(71) 出願人 599158797

インフィネオン テクノロジース アクチ  
エンゲゼルシャフト

ドイツ連邦共和国 ミュンヘン ザンクト  
マルティン シュトラーセ 53

(72) 発明者 ベーター ペッヒミュラー

アメリカ合衆国 ヴァーモント コルチェ  
スター フォード レーン 59

(74) 代理人 100061815

弁理士 矢野 敏雄 (外4名)

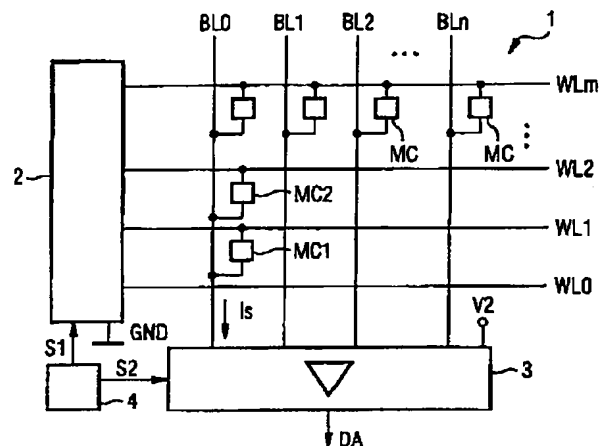
Fターム(参考) 5F083 FZ10 GA11 LA04 LA05 LA09  
LA12 LA28

(54) 【発明の名称】 集積メモリおよび集積メモリの作動方法

(57) 【要約】

【課題】 列線路B L 0 ~ B L nと行線路W L 0 ~ W L mとの間に介挿されている、磁気抵抗メモリ効果を有するメモリセルM Cを備えた集積メモリを、メモリセルから一層確実な読み出しが行われるようにする。

【解決手段】 行線路は選択回路2に接続されており、行線路のそれぞれは選択信号に対する接続端子G N Dに接続されて、行線路に接続されているメモリセルのデータ信号D Aを読み出すようになっており、データ信号を読み出すようにメモリセルに接続されていない行線路が選択回路において電氣的に分離されているように該選択回路は構成され、制御手段4によって制御されるようになっている。



## 【特許請求の範囲】

【請求項1】 それぞれ複数の列線路（BL0ないしBLn）とそれぞれ複数の行線路（WL0ないしWLm）との間に介挿されている、磁気抵抗メモリ効果を有するメモリセル（MC）を備えた集積メモリにおいて、行線路（WL0ないしWLm）は選択回路（2）に接続されており、行線路のそれぞれ1つ（WL2）は前記選択回路（2）において選択信号に対する1つの接続端子（GND）に接続されて、前記行線路（WL2）に接続されているメモリセル（MC2）のデータ信号（DA）を読み出すようになっており、前記データ信号（DA）を読み出すように前記メモリセル（MC2）に接続されていない行線路（WL0、WL1、WLm）が前記選択回路（2）において電氣的にアイソレーションされているように該選択回路（2）は構成されておりかつ制御手段（4）によって制御されるようになってい

ることを特徴とする集積メモリ。

【請求項2】 行線路（WL0ないしWLm）はそれぞれドライバ回路（11ないし13）に接続されており、該ドライバ回路は導通状態または非導通状態に作動可能である請求項1記載の集積メモリ。

【請求項3】 集積メモリは少なくとも1つの予充電手段（3）を有して、行線路（WL0ないしWLm）が共通の予充電電位（V2）に予充電されるようになっている請求項1または2記載の集積メモリ。

【請求項4】 予充電手段（3）は列線路（BL0ないしBLn）の少なくとも1つに接続されていて、行線路（WL0ないしWLm）が予充電されるようになっている請求項3記載の集積メモリ。

【請求項5】 前記メモリセル（MC2）に接続されている列線路（BL0）はデータ信号（DA）を読み出すために読み出し増幅器（3）に接続されておりかつ前記予充電手段は該読み出し増幅器（3）によって形成されている請求項4記載の集積メモリ。

【請求項6】 複数の列線路（BL0ないしBLn）の1つと複数の行線路（WL0ないしWLm）の1つとの間に介挿されている、磁気抵抗メモリ効果を有するメモリセル（MC）を備えた集積メモリの作動方法において、読み出し過程の間、前記行線路の1つ（WL2）を前記選択回路（2）において選択信号に対する1つの接続端子（GND）に接続しかつ前記行線路（WL2）に接続されているメモリセル（MC2）のデータ信号（DA）の読み出しを行い、読み出し過程の間前記メモリセル（MC2）に接続されていない行線路（WL0、WL2、WLm）を前記選択回路（2）において電氣的にアイソレーションすることを特徴とする集積メモリの作動方法。

【請求項7】 前記行線路（WL0ないしWLm）を共通の予充電電位（V2）に予充電しかつ該予充電後に、データ信号（DA）の読み出しを行う請求項6記載の集

積メモリの作動方法。

【請求項8】 データ信号（DA）の読み出しを、前記行線路（WL0ないしWLm）上でのそれぞれの電位経過がスタチックな状態を有するまでの間待つ請求項7記載の集積メモリの作動方法。

【請求項9】 前記行線路（WL0ないしWLm）を前記列線路（BL0ないしBLn）の少なくとも1つを介して予充電する請求項7または8記載の集積メモリの作動方法。

10 【請求項10】 前記列線路（BL0ないしBLn）の1つを読み出し増幅器（3）によって予充電する請求項9記載の集積メモリの作動方法。

【請求項11】 データ信号（DA）を読み出すために、前記メモリセル（MC2）に接続されている列線路（BL0）における電流を検出する請求項6から9までのいずれか1項記載の集積メモリの作動方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、それぞれ複数の列線路の1つとそれぞれ複数の行線路の1つとの間に接続されている、磁気抵抗メモリ効果を有するメモリセルを備えた集積されたメモリ、並びにこの種のメモリの作動方法に関する。

## 【0002】

【従来の技術】磁気抵抗メモリ効果を有するメモリセルはデータ信号を記憶するために普通、状態が変化する強磁性層を有している。このメモリ効果は一般にいわゆるGMR（Giant Magnetoresistive）またはTMR（Tunnelling Magnetoresistive）効果として周知である。その際この形式のメモリセルの電気抵抗は強磁性層における磁化に依存している。

【0003】いわゆるMRAMメモリとも称される、この形式のメモリセルを有する集積メモリはしばしば例えばDRAMの形式の集積メモリと類似に構成されている。この形式のメモリは普通、相互に実質的に平行に延在している行線路および列線路を備えたメモリセル装置を有しており、その際行線路は通例、列線路を横断する方向に延在している。

40 【0004】この形式のMRAMはWO99/14760号から公知である。そこにはメモリセルがそれぞれ、行線路の1つと列線路の1つとの間に介挿されておりかつそれぞれの列線路および行線路に電氣的に接続されている。その際磁気抵抗効果を備えたメモリセルは行線路および列線路より高抵抗である。行線路はそれぞれ、選択信号に対する接続端子に接続されていて、メモリセルに接続されている列線路を介してメモリセルの1つのデータ信号を読み出す。列線路はメモリセルの1つのデータ信号を読み出すために読み出し増幅器に接続されている。読み出しのために、列線路において検出可能な電流が測定される。

【0005】この形式のMRAMメモリでは、データ信号の読み出しまたは書き込みのためにアドレッシングに依存してそれぞれの列線路に接続するダイオードまたはトランジスタは存在していない。これにより殊に、メモリセルの幾何学的な配置における利点が得られる。

【0006】通常の読み出し過程のために、すべての列線路および行線路が選択された行線路を除いて同じ電位を有していることが重要である。例えば読み出すべき列線路と選択されない行線路との間の電位が異なっていれば、検出すべき電流には寄生電流が重畳される。寄生電流はこの電位差によって読み出すべき列線路において生じるものである。このために、読み出すべきメモリセルの誤った読み出し過程を生じる可能性がある。

【0007】行線路は一般に行線路ドライバに接続されているので、行線路は前以て決められている電位を有している。列線路には相応の読み出し増幅器を介して相応の電位が供給される。集積メモリのメモリセルフィールドに沿った行線路ドライバおよび読み出し増幅器が空間的に分配されて配置されている場合には殊に、相応の列線路および行線路がそれぞれ正確に同じ電位を有するように、行線路ドライバおよび読み出し増幅器を実現するもしくは作動させることは比較的困難である。

#### 【0008】

【発明が解決しようとする課題】本発明の課題は、メモリセルの比較的信頼できる読み出しが可能になった、冒頭に述べた形式の磁気抵抗メモリ効果を有するメモリセルを備えた集積メモリを提供することである。

【0009】更に本発明の課題は、メモリセルの比較的信頼できる読み出しが可能になった、冒頭に述べた形式の集積メモリの作動方法を提供することである。

#### 【0010】

【課題を解決するための手段および発明の効果】集積メモリに関するこの課題は、冒頭に述べた形式の集積メモリにおいて、行線路が選択回路に接続されており、行線路のそれぞれ1つが前記選択回路において選択信号に対する1つの接続端子に接続されて、前記行線路に接続されているメモリセルのデータ信号を読み出すようになっており、前記データ信号を読み出すように前記メモリセルに接続されていない行線路が前記選択回路において電気的にアイソレーションされているように該選択回路が構成されておりかつ制御手段によって制御されるようになっていてことによって解決される。

【0011】方法に関するこの課題は、冒頭に述べた形式の集積メモリの作動方法において、読み出し過程の間、行線路の1つを選択回路において選択信号に対する1つの接続端子に接続しかつ行線路に接続されているメモリセルのデータ信号の読み出しを行い、読み出し過程の間メモリセルに接続されていない行線路を前記選択回路において電気的にアイソレーションすることによって解決される。

【0012】本発明の集積メモリないし本発明の集積メモリの作動方法によって、メモリセルの1つのデータ信号の読み出しの期間の寄生電流を回避することが可能になる。このことは、選択されていない行線路を、選択回路において読み出しの期間中電気的にアイソレーションされているように制御することによって実現される。従ってこれらの行線路は一種の浮遊するないしフローティング状態を有しておりかつ均一な電位にすることができる。寄生電流を回避することによって、データ信号の比較的信頼できる読み出しが可能になる。というのは、メモリセルにおいて記憶されている情報を推定することができる検出すべき電流に寄生電流が重畳していることはなくないし寄生電流によって歪みを受けることもないからである。

#### 【0013】

【発明の実施の形態】本発明のメモリの実施形態において、行線路はそれぞれドライバ回路に接続されており、該ドライバ回路は導通状態または非導通状態に作動可能である。これらドライバ回路を介して選択されていない行線路は、それらがデータ信号を読み出すために電気的にアイソレーションされているように制御可能である。このためにドライバ回路は、非導通状態において作動される。それぞれのドライバ回路は、例えばトランジスタの形のスイッチング手段を有しており、これらはそのソースドレイン間を介してそれぞれの行線路に接続されている。これらトランジスタは相応の非導通状態において作動される。

【0014】本発明の方法の1つの実施形態において、行線路を共通の予充電電位に予め充電しかつ該予充電後に、データ信号の読み出しを行う。予充電後に、データ信号の読み出しが行われる。このことはメモリの適当な予充電手段を介して行うことができる。このようにして、フロートしている行線路がデータ信号のその都度の読み出しの前に直接共通の電位を確実に有しているようにすることができる。その際データ信号の読み出しを有利には、行線路上でのその都度の電位経過がスタチックな状態を有するまでの間待つ。

【0015】本発明の別の実施の形態において、行線路を列線路の少なくとも1つを介して予充電する。その際行線路をすべての列線路を介して予充電すると有利である。その際行線路はそれぞれのメモリセルを介してそれぞれの列線路の電位に充電される。メモリセルは抵抗特性を有しているので、スタチックな状態が実現されるとき、行線路が正確に列線路の電位をとっていることが保証されている。これにより全体として、選択されていないすべての行線路および列線路が読み出しの前に直接同じ電位を有していることが保証されている。

【0016】本発明の実施形態において、列線路の1つを読み出し増幅器によって予充電し、この読み出し増幅器は更に、選択されたメモリセルのデータ信号の読み出

しのために用いられる。読み出し増幅器はデータ信号の読み出しのために相応の列線路に接続されている。列線路ないし行線路の、1つまたは複数の読み出し増幅器による予充電はそれぞれの読み出しの前に実施される。それぞれの読み出し増幅器はこのために適当な予充電手段として構成されている。列線路と行線路との間の電位平衡状態に達するまでの持続時間はさほど重要ではない。というのは、列線路と行線路の1つとの間の並列回路を介して迅速な電位補償を実現することができるからである。

【0017】その他の有利な実施形態および発展形態は従属請求項に記載されている。

【0018】

【実施例】次に本発明を図示の実施例に付き図面を用いて詳細に説明する。

【0019】図1には、磁気抵抗メモリ効果を有するメモリセルMCを備えた本発明のメモリの実施例が示されている。メモリセルとして、列線路および行線路より高オーム抵抗である限り、すべての公知のGMRエレメント/TMRエレメントが適している。列線路はここではビット線BL0ないしBLnと表され、行線路はワード線WL0ないしWLnと表される。メモリはここでは、例として示した数のワード線およびビット線を有している。マトリクス形状のメモリセルフィールド1に配置されているメモリセルMCはそれぞれ、ビット線BL0ないしBLnの1つとワード線WL0ないしWLnの1つとの間に介挿されている。ワード線WL0ないしWLnは更に、行選択回路2に接続されている。ビット線BL0ないしBLnは読み出し増幅器3に接続されており、該読み出し増幅器によってメモリセルMCの1つのデータ信号DAが読み出し可能である。データ信号DAを読み出すために、読み出すべきメモリセルが接続されているビット線が読み出し増幅器3に接続されている。選択回路2および読み出し増幅器3は制御手段としてのアクセス制御部4を介して信号S1およびS2を介して適当な方法で制御可能である。

【0020】メモリセルに記憶されている情報を読み出すために、当該のワード線が制御される。これにはこのために選択信号ないし前以て決められている選択電位が加えられるので、読み出されるべきメモリセルを通して電流が発生する。その際、すべての別のワード線およびビット線が同じ電位、例えば集積メモリの電位V2に加わっていることが重要である。読み出されるべきメモリセルに接続されているビット線はデータ信号DAを読み出すために読み出し増幅器3に接続され、読み出し増幅器がこの電流を検出する。

【0021】次に、メモリセルMC2のデータ信号DAが読み出されるものと仮定する。読み出しの前に、すべてのビット線BL0ないしBLnおよびワード線WL0ないしWLnが同じ電位を有しており、その結果メモリ

セルには電流が生じないことが保証されるべきである。その際ワード線は、ビット線が読み出し増幅器3により行われるように、選択回路2によって相応に同じ電位に接続される。メモリセルMC2のデータ信号DAを読み出すために、引き続いてワード線WL2が相応の選択電位に接続される。これにより、ワード線WL2とビット線BL0との間にメモリセルMC2を流れる電流ISが発生する。その際メモリセルMC2の抵抗は、メモリセルMC2に記憶されている情報に依存している。そこから結果生じる電流ISは読み出し増幅器3によって検出されかつそこからメモリセルMC2の相応のデータ信号DAが生成される。この形式の読み出し過程において例えばワード線WL1がビット線BL0とは異なっている電位を有しているとすれば、メモリセルMC1によってビット線BL0に寄生電流が生成され、これが読み出し電流に重畳されるかないし読み出し電流を歪ませる。その際例えばこれにより歪まされるしきい値判定に基づいて、データ信号DAは正常に読み出されない。

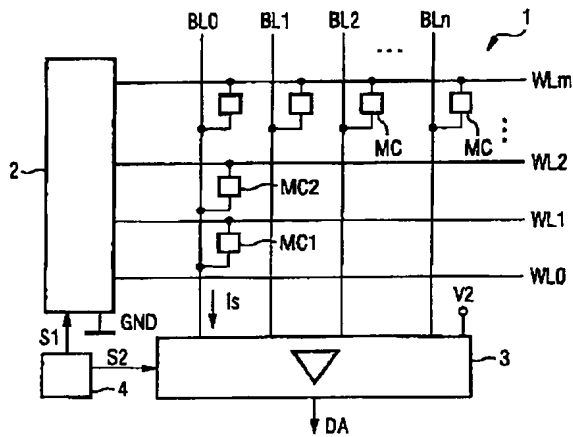
【0022】ところで本発明の実施例において、このような場合には、ワード線WL0、WL1およびWLnがデータ信号DAをメモリセルMC2から読み出す間選択回路2において電氣的にアイソレーションされるようになっている。ワード線WL2はデータ信号DAを読み出すために例えば選択電位GNDに接続されている。ワード線WL0、WL1およびWLnは一種の浮遊する状態ないしフローティング状態を有している。すべてのビット線BL0ないしBLnおよびワード線WL0、WL1およびWLnが読み出し過程の期間中、同じ電位を有していることを保証するために、ワード線は共通の予充電電位V2に予め充電される。このことは例えば、このために相応のビット線に接続されている読み出し増幅器3によって実施される。

【0023】ワード線はメモリセルMCを介してビット線に接続されているので、これにより電位補償が行われる。その際引き続き読み出しは、ワード線およびビット線におけるそれぞれの電位経過がスタチックな状態を有するまで待たれる。メモリセルMCは抵抗特性を有しているので、ビット線とワード線との間の完全な電位補償が生じることが保証されている。これにより、データ信号DAの読み出しの前および読み出しの期間に、当該の列線路に寄生電流が発生しないことが保証されている。読み出し増幅器3による予充電後直ちに、メモリセルMC2の読み出しが開始される。このために、予め充電されたワード線WL0、WL1およびWLnは選択回路2において電氣的にアイソレーションされた状態にとどまる。

【0024】図2には、図1の行選択回路2の実施例が示されている。ここに示されているワード線WL0、WL1およびWLnはそれぞれドライバ回路11、12ないし13に接続されている。その際ドライバ回路11な

いし13は、例えばドライバ回路13の例において示されているのと同じに構成されている。ドライバ回路はそれぞれ、PMOSトランジスタおよびNMOSトランジスタを有しており、これらは論理回路5によって制御可能である。論理回路5はアクセス制御部4の信号S1によって制御される。読み出し過程以外では、ワード線は相応のトランジスタを介して電位V1に接続されている。例えばワード線の選択のために、これらは相応のトランジスタを介して基準電位GNDに接続されている。読み出し過程の間にワード線WL1およびWL0を分離するために、ドライバ回路12および13は読み出し過程の間非道通状態にある。それ故にワード線WL0およびWL1は図1の読み出し増幅器3によって予充電電位\*

【図1】



\* V2に予め充電しておくことができる。それぞれのドライバ回路の非道通状態に対して、そのトランジスタは阻止状態に移行される。

【図面の簡単な説明】

【図1】 磁気抵抗メモリセルを備えた本発明の集積メモリの実施例の回路略図である。

【図2】 図1の行選択回路の実施例の回路略図である。

【符号の説明】

MC メモリセル、 BL0~BLn ビット線、 WL0~WLm ワード線、 DA データ信号、 IS 読み出し電流、 1 メモリセルフィールド、 2 行選択回路、 3 読み出し増幅器、 4 アクセス制御部、 5 論理回路

【図2】

